

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-264814

(43)Date of publication of application : 26.09.2001

(51)Int.Cl. G02F 1/1368  
 G02F 1/133  
 G09F 9/30  
 G09G 3/20  
 G09G 3/36

(21)Application number : 2000-080442

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.03.2000

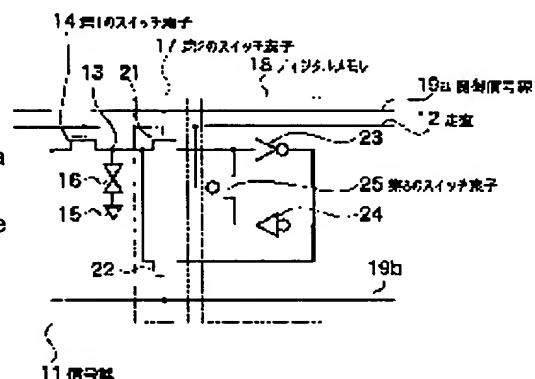
(72)Inventor : SATO HAJIME  
 KIMURA HIROYUKI  
 MAEDA TAKASHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND DRIVING METHOD

## (57)Abstract:

PROBLEM TO BE SOLVED: To perform a multi-color display with low power consumption during waiting, and to perform a halftone display and moving picture display in full color during a talk in a liquid crystal display device used for a portable telephone or the like.

SOLUTION: A pixel electrode 13 and a signal line 11 are connected by a first switching device 14, and the pixel electrode 13 and a digital memory 18 are connected by a second switching device 17. During a talk, an image display is performed with a video signal supplied from the signal line 11 by turning off the second switching device 17 and turning on the first switching device 14. During waiting, the image display is performed with a video signal held in the digital memory 18, while stopping the operation of the scanning line/signal line drive circuit by turning off the first switching device 14 and turning on the second switching device 17.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号  
特開2001-264814  
(P2001-264814A)

(43)公開日 平成13年9月26日(2001.9.26)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 2 F 1/1368		G 0 2 F 1/133	5 5 0 2 H 0 9 2
	1/133		
	5 5 0	G 0 9 F 9/30	3 1 0 2 H 0 9 3
G 0 9 F 9/30	3 1 0		3 3 8 5 C 0 0 6
	3 3 8	G 0 9 G 3/20	6 2 2 R 5 C 0 8 0
G 0 9 G 3/20	6 2 2		6 2 4 B 5 C 0 9 4

審査請求 未請求 請求項の数7 OL (全 9 頁) 最終頁に続く

審査請求 未請求 請求項の数7 OL (全 9 頁) 最終頁に続く

(21)出願番号 特願2000-80442(P2000-80442)

(22)出願日 平成12年3月22日(2000.3.22)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 佐藤 肇

埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝深谷工場内

(72)発明者 木村 裕之

埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝深谷工場内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

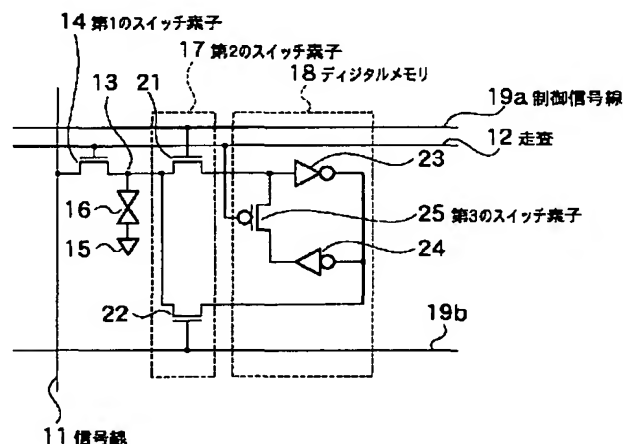
最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 携帯電話等に用いられる液晶表示装置において、待ち受け時には低消費電力でマルチカラー表示を行い、また通話時にはフルカラーによる中間調表示や動画表示を行うことができるようにする。

【解決手段】 画素電極 13 と 11 信号線とを第 1 のスイッチ素子 14 で接続するとともに、画素電極 13 とデジタルメモリ 18 との間を第 2 のスイッチ素子 17 で接続し、通話時には、第 2 のスイッチ素子 17 をオフして、第 1 のスイッチ素子 14 をオンすることにより、信号線 11 から供給される映像信号で画像表示を行い、また待ち受け時には、第 1 のスイッチ素子 14 をオフして、第 2 のスイッチ素子 17 をオンすることにより、走査線／信号線駆動回路の動作を止めつつ、デジタルメモリ 18 に保持された映像信号で画像表示するようにした。



## 【特許請求の範囲】

【請求項 1】 互いに交差して配置された複数の走査線及び複数の信号線、これら両線の各交差部に配置された画素電極、前記走査線に供給される走査信号によりオン／オフ制御され、オン時に前記信号線と前記画素電極間を導通させて前記信号線に供給された映像信号を前記画素電極に書き込む第 1 のスイッチ素子を含む第 1 の電極基板と、

前記画素電極に対し所定間隔をもって対向配置された対向電極を含む第 2 の電極基板と、

前記第 1 の電極基板と第 2 の電極基板との間に挟持された液晶層と、

一水平走査期間毎に前記複数の信号線に映像信号を供給する信号線駆動回路と、

前記一水平走査期間に対応して前記走査線に走査信号を順次供給する走査線駆動回路とを備えた液晶表示装置において、

前記第 1 の電極基板は、

前記画素電極と電氣的に接続され、前記信号線に供給された映像信号を保持可能なデジタルメモリと、

前記画素電極と前記デジタルメモリとの間に挿入さ

れ、前記画素電極と前記デジタルメモリ間の導通を制御する第 2 のスイッチ素子と、

を含むことを特徴とする液晶表示装置。

【請求項 2】 前記画素電極は、金属薄膜で構成された光反射型の画素電極であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記第 2 のスイッチ素子は、前記デジタルメモリの出力端子及び反転出力端子と前記画素電極との間を接続する 2 つのスイッチ素子で構成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】 前記デジタルメモリは、2 つのインバータ回路と第 3 のスイッチ素子で構成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】 前記第 3 のスイッチ素子は、前記第 1 のスイッチ素子とは逆チャネルのスイッチ素子であり、前記第 3 のスイッチ素子のゲートは前記第 1 のスイッチ素子のゲートと同じ走査線に接続されることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】 第 1 の表示期間では、前記第 2 のスイッチ素子により前記画素電極と前記デジタルメモリ間の導通をオフし、かつ前記第 1 のスイッチ素子を所定周期でオンして、前記信号線に供給された映像信号を前記画素電極に書き込むことで表示を行い、

第 2 の表示期間では、前記第 2 のスイッチ素子をオンし、前記信号線に供給された映像信号を前記デジタルメモリに保持させた後、前記第 1 のスイッチ素子により前記信号線と前記画素電極間の導通をオフして、前記デジタルメモリに保持された映像信号を前記画素電極に書き込むことで表示を行うことを特徴とする請求項 1 に

記載の液晶表示装置の駆動方法。

【請求項 7】 前記第 2 の表示期間では、1 フレーム毎に前記第 2 のスイッチ素子を構成する 2 つのスイッチ素子を交互にオンし、かつ前記対向電極の電位を反転させることを特徴とする請求項 6 に記載の液晶表示装置の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、携帯電話や電子ブック等に使用される高画質、低消費電力な液晶表示装置及びその駆動方法に関する。

## 【0002】

【従来の技術】従来、液晶表示装置は軽量、薄型、低消費電力という利点を活かして携帯電話や電子ブック等の小型情報端末のディスプレイとして使われている。このような小型情報端末は、一般にバッテリー駆動方式が採用されていることから、低消費電力化が重要な課題となっている。

【0003】とくに携帯電話においては、待ち受け時間中に低消費電力で表示できることが求められており、これを実現するための技術としては、例えば特開昭 58-23091 号などが挙げられる。ここに開示された画像表示装置は、画素内にデジタルメモリを備えており、待ち受け時（静止画表示時）には、液晶を交流駆動するための交流駆動回路のみを動作させ、その他の周辺駆動回路を止めることにより、大幅な消費電力の低減を図っている。

## 【0004】

【発明が解決しようとする課題】しかし、上記特開昭 58-23091 号の画像表示装置では、画素電圧が二値に制限されるため、二値の画像しか表示することができなかった。

【0005】最近では、携帯電話においてもインターネットや TV 電話等のカラー中間調表示や動画表示が始まっており、待ち受け時に低消費電力であるだけでなく、通話時にはカラーの高画質表示を行うことが求められているが、上記画像表示装置では、待ち受け時にマルチカラー表示ができないだけでなく、通話時においてもフルカラーによる中間調表示や動画表示ができないという問題点があった。

【0006】この発明は、待ち受け時には低消費電力でマルチカラー表示を行い、また通話時にはフルカラーによる中間調表示や動画表示を行うことができる液晶表示装置及びその駆動方法を提供することを目的とする。

## 【0007】

【課題を解決するための手段】上記目的を達成するため、請求項 1 の発明は、互いに交差して配置された複数の走査線及び複数の信号線、これら両線の各交差部に配置された画素電極、前記走査線に供給される走査信号によりオン／オフ制御され、オン時に前記信号線と前記画

素電極間を導通させて前記信号線に供給された映像信号を前記画素電極に書き込む第1のスイッチ素子を含む第1の電極基板と、前記画素電極に対し所定間隔をもって対向配置された対向電極を含む第2の電極基板と、前記第1の電極基板と第2の電極基板との間に挟持された液晶層と、一水平走査期間毎に前記複数の信号線に映像信号を供給する信号線駆動回路と、前記一水平走査期間に対応して前記走査線に走査信号を順次供給する走査線駆動回路とを備えた液晶表示装置において、前記第1の電極基板は、前記画素電極と電気的に接続され、前記信号線に供給された映像信号を保持可能なデジタルメモリと、前記画素電極と前記デジタルメモリとの間に挿入され、前記画素電極と前記デジタルメモリ間の導通を制御する第2のスイッチ素子とを含むことを特徴とする。

【0008】請求項2の発明は、請求項1において、前記画素電極が金属薄膜で構成された光反射型の画素電極であることを特徴とする。

【0009】請求項3の発明は、請求項1において、前記第2のスイッチ素子が、前記デジタルメモリの出力端子及び反転出力端子と前記画素電極との間を接続する2つのスイッチ素子で構成されることを特徴とする。

【0010】好ましい態様として、前記第1のスイッチ素子と前記第2のスイッチ素子を、ともにMOSトランジスタで構成する。

【0011】請求項4の発明は、請求項1において、前記デジタルメモリが、2つのインバータ回路と第3のスイッチ素子で構成されることを特徴とする。

【0012】請求項5の発明は、請求項4において、前記第3のスイッチ素子が、前記第1のスイッチ素子とは逆チャネルのスイッチ素子であり、前記第3のスイッチ素子のゲートは前記第1のスイッチ素子のゲートと同じ走査線に接続されることを特徴とする。

【0013】好ましい態様として、前記第3のスイッチ素子を前記第1のスイッチ素子と相補型のMOSトランジスタで構成する。

【0014】請求項6の発明は、請求項1の液晶表示装置の駆動方法であって、第1の表示期間では、前記第2のスイッチ素子により前記画素電極と前記デジタルメモリ間の導通をオフし、かつ前記第1のスイッチ素子を所定周期でオンして、前記信号線に供給された映像信号を前記画素電極に書き込むことで表示を行い、第2の表示期間では、前記第2のスイッチ素子をオンし、前記信号線に供給された映像信号を前記デジタルメモリに保持させた後、前記第1のスイッチ素子により前記信号線と前記画素電極間の導通をオフして、前記デジタルメモリに保持された映像信号を前記画素電極に書き込むことで表示を行うことを特徴とする。

【0015】請求項7の発明は、請求項6において、前記第2の表示期間では、1フレーム毎に前記第2のスイ

ッチ素子を構成する2つのスイッチ素子を交互にオンし、かつ前記対向電極の電位を反転させることを特徴とする。

【0016】上記請求項1乃至7の発明によれば、第1の表示期間では、前記第2のスイッチ素子をオフして、前記第1のスイッチ素子をオンすることにより、前記信号線から供給される映像信号で画像表示を行い、また第2の表示期間では、前記第1のスイッチ素子をオフして、前記第2のスイッチ素子をオンすることにより、走査線/信号線駆動回路の動作を止めつつ、前記デジタルメモリに保持された映像信号で画像表示を行なうため、通話時（第1の表示期間）には、通常のフルカラーによる中間調/動画表示を行うことができ、また待ち受け時（第2の表示期間）には、低消費電力でマルチカラー表示を行うことができる。

【0017】

【発明の実施の形態】以下、この発明に係わる液晶表示装置及びその駆動方法を、アクティブマトリクス型液晶表示装置に適用した場合の実施形態について説明する。

【0018】図3は、この実施形態に係わるアクティブマトリクス型液晶表示装置の回路構成図であり、図4は図3の概略断面図である。

【0019】この液晶表示装置100は、複数の表示画素10が形成された表示画素部110、走査線駆動回路120及び信号線駆動回路130とから構成されている。

【0020】この実施形態において、走査線駆動回路120及び信号線駆動回路130は、アレイ基板101上において、後述する信号線11、走査線12及び画素電極13などと一体に形成されている。

【0021】表示画素部110は、アレイ基板101上に複数本の信号線11及びこれと交差する複数本の走査線12が図示しない絶縁膜を介してマトリクス状に配置されており、両線の各交差部には表示画素10が配置されている。

【0022】表示画素10は、画素電極13、第1のスイッチ素子14、対向電極15、液晶層16、第2のスイッチ素子17及びデジタルメモリ18により構成されている。

【0023】第1のスイッチ素子14のソースは信号線11に、ゲートは走査線12に、ドレインは画素電極13にそれぞれ接続されている。また画素電極13は第2のスイッチ素子17を介してデジタルメモリ18に接続されており、その第2のスイッチ素子17のゲートは制御信号線19に、ソースは画素電極13に、ドレインはデジタルメモリ18にそれぞれ接続されている。第2のスイッチ素子17及びデジタルメモリ18の構成については後述する。

【0024】画素電極13はアレイ基板101上に形成され、この画素電極13と相対する対向電極15は対向

基板 102 上に形成されている。対向電極 15 には、図示しない外部駆動回路から所定の対向電位が与えられている。さらに、画素電極 13 と対向電極 15 の間には液晶層 16 が挟持され、アレイ基板 101 及び対向基板 102 の周囲はシール材 103 により封止されている。

【0025】走査線駆動回路 120 は、シフトレジスタ 121 及び図示しないバッファ回路などで構成されており、図示しない外部駆動回路から供給されるコントロール信号（垂直のクロック／スタート信号）に基づいて、上から順に走査線 12 に走査信号を出力する。

【0026】走査線駆動回路 120 では、中間調表示や動画表示時（以下、中間調／動画表示時）には、制御信号線 19 をオフレベルとし、通常のアクティブマトリクス型液晶表示装置と同様に上から順に走査線 12 に走査信号を出力する。また静止画表示時には、走査線 12 をオフレベルとし、制御信号線 19 をオンレベルとする。

【0027】信号線駆動回路 130 は、シフトレジスタ 131、ASW（アナログスイッチ）132 などで構成されており、図示しない外部駆動回路からコントロール信号（水平のクロック／スタート信号）及びビデオバス 133 を通じて映像信号が供給されている。信号線駆動回路 130 では、水平のクロック／スタート信号に基づいて、シフトレジスタ 131 から ASW 132 の開閉信号を供給することにより、ビデオバス 133 から供給される映像信号を所定のタイミングで信号線 11 にサンプリングする。

【0028】ここで、通常のアクティブマトリクス型液晶表示装置として駆動する場合について簡単に説明する。

【0029】走査線駆動回路 120 から走査信号を出力して、各走査線 12 を上から順にオンし、これと同期して信号線 11 に映像信号をサンプリングすると、オンとなった走査線 12 に接続するすべての第 1 のスイッチ素子 14 は、一水平走査期間だけオンとなり、信号線 11 にサンプリングされていた映像信号は第 1 のスイッチ素子 14 を通じて画素電極 13 に書き込まれる。この映像信号は画素電極 13 と対向電極 15 との間に信号電圧として充電され、この信号電圧の大きさに応じて液晶層 16 が応答することで表示画素からの透過光量が制御される。このような動作を一フレーム期間内にすべての走査線 12 について実施することにより、一画面の映像が出来上がる。

【0030】次に、表示画素 10 の回路構成を、図 1 及び図 2 を参照しながら、さらに詳細に説明する。

【0031】図 1 は、表示画素 10 の回路構成図、図 2 はその概略平面図である。

【0032】第 2 のスイッチ素子 17 は、デジタルメモリ 18 の出力端子及び反転出力端子と、画素電極 13 との間に挿入された 2 つのスイッチ素子 21、22 で構成されている。このうち、スイッチ素子 21 のゲートは

制御信号線 19a に接続され、スイッチ素子 22 のゲートは制御信号線 19b にそれぞれ接続されており、それぞれの制御信号線にオン又はオフレベルの制御信号が供給されることで、2 つのスイッチ素子 21、22 は独立して制御される。この第 2 のスイッチ素子 17 と第 1 のスイッチ素子 14 は、ともに MOS トランジスタで構成されている。

【0033】デジタルメモリ 18 は、2 つのインバータ回路 23、24 と、第 3 のスイッチ素子 25 で構成されている。このうち、第 3 のスイッチ素子 25 は、第 1 のスイッチ素子 14 とは逆チャネルのスイッチ素子であり、第 1 のスイッチ素子 14 と相補型の MOS トランジスタで構成されている。また、第 3 のスイッチ素子 25 のゲートは、第 1 のスイッチ素子 14 のゲートと同じ走査線 12 に接続されている。

【0034】次に、上記ように構成された液晶表示装置 100 の動作を図 5 に示す信号波形のタイミングチャートを参照しながら説明する。

【0035】なお、図 5 において、XCK 及び /XCK（反転）は水平のクロック信号、XST は水平のスタート信号、Video はビデオバス 133 から入力される映像信号、YCK は垂直のクロック信号、YST は垂直のスタート信号、SPOLA は制御信号線 19a に供給される制御信号の電位レベル、SPOLB は制御信号線 19b に供給される制御信号の電位レベル、COM は対向電極 15 の対向電位をそれぞれ示している。

【0036】まず、中間調／動画表示時（通常表示）には、2 本の制御信号線 19a、19b をともにオフレベルとし、第 2 のスイッチ素子 17 の機能を停止する。この間は、走査線駆動回路 120 及び信号線駆動回路 130 に対し、それぞれクロック信号、スタート信号及び映像信号を供給して、通常のアクティブマトリクス型液晶表示装置と同様に駆動を行うことにより、フルカラーによる高画質な中間調／動画表示を行う。

【0037】一方、通常表示から静止画表示に切り替える際は、通常表示から静止画表示に移行する最後のフレーム（静止画書き込みフレーム）において、制御信号線 19a をオンレベルとする。そして、第 1 のスイッチ素子 14 がオンしている間に、信号線 11 に 2 値化された映像信号をサンプリングし、これを第 1 のスイッチ素子 14 及び第 2 のスイッチ素子 17 を通じてデジタルメモリ 18 に書き込む。この 2 値化された映像信号は、静止画表示時に表示するマルチカラー画像用の映像信号である。

【0038】静止画表示の期間において、デジタルメモリ 18 に書き込まれた映像信号は、短時間であればこの状態で保持することもできるが、長時間保持すると直流成分により液晶層 16 が劣化するため、交流駆動する必要がある。この実施形態では、一定の周期で制御信号線 19a、同 19b を交互にオンレベルとすることによ

って、スイッチ素子21、22を交互にオンし、同時に対応電極15の電位を反転させることで交流駆動を実現している。

【0039】このように、2つのスイッチ素子21、22を交互にオンすることで、画素電極13の電位は電源／接地電位が交互に出力され、これと同期させて対向電極15の電位を電源／接地電位間でシフトすることにより、対向電極15と極性が同じ表示画素10では液晶層16に電圧がかからず、逆極性の表示画素10では液晶層16に電圧がかかるため、2値表示（マルチカラー表示）を行うことができる。このとき、表示画素部110で動作しているのは、低周波数の制御信号線19と対向電極15だけであるため、待ち受け時（静止画表示時）には、低消費電力でマルチカラー表示を行うことができる。

【0040】また、静止画表示から通常表示に切り替える際は、最後のフレーム（静止画最終フレーム）を経て、再び2本の制御信号線19a、19bをとともにオフレベルとし、走査線駆動回路120及び信号線駆動回路130に対し、それぞれクロック信号、スタート信号及び映像信号を供給する。

【0041】次に、この実施形態による液晶表示装置100の製造方法を図6を用いて説明する。図6は液晶表示装置の製造プロセスを示す概略断面図であり、破線の右側の領域は画素部（表示画素部110）、左側の領域が駆動回路部（走査線駆動回路120など）を示している。以下、図6の（a）～（f）の順に説明する。

【0042】（a）ガラスなどの透明絶縁基板50上に、プラズマCVD法により厚さ50nmのアモルファスシリコン（a-Si）薄膜51を堆積し、このアモルファスシリコン薄膜51を図示しないXeClエキシマレーザ装置でアニールすることで多結晶化する。ここで、前記XeClエキシマレーザ装置からのレーザ光52は、図中Aの方向に走査され、このレーザ光52が照射された領域は結晶化され多結晶シリコン膜53となる。その際、レーザ照射エネルギーを段階的に上げて複数回照射を行うことにより、アモルファスシリコン膜中の水素を効果的に抜くことができ、結晶化時のアブレーションを防ぐことができる。なお、照射エネルギーは200～500mJ/cm<sup>2</sup>とする。

【0043】（b）多結晶シリコン膜53をフォトリソグラフィ法を用いてパターンニングし、薄膜トランジスタの活性層54を形成する。

【0044】（c）シリコン酸化膜によるゲート絶縁膜55をプラズマCVD法で形成した後、モリブデンターゲットステン合金膜をスパッタ法で成膜、パターンニングすることでゲート電極56を形成する。また、前記パターンニング時に走査線も同時に形成する。ゲート絶縁膜55としては、このほかに窒化シリコン膜や常圧CVD法によるシリコン酸化膜を使うことができる。

【0045】ゲート電極56を形成後に、ゲート電極56をマスクとしてイオンドーピング法で不純物を打ち込み、薄膜トランジスタのソース／ドレイン領域54aを形成する。不純物としては、N-chトランジスタについてはリンを、P-chトランジスタについてはボロンを用いることができる。画素部のトランジスタについてはオフ時のリーク電流を抑えるためにLDD（Lightly Doped Drain）構造を用いるのが効果的である。この場合、ソース／ドレイン電極54aへの不純物注入後にゲート電極56を再パターンニングし、一定量だけ細かくした後、再度低濃度の不純物打ち込みを行う。

【0046】（d）ゲート電極56上にプラズマCVD法又は常圧CVD法でシリコン酸化膜による第1の層間絶縁膜57を形成する。

【0047】（e）第1の層間絶縁膜57及びゲート絶縁膜55にコンタクトホールを形成後、スパッタ法でAl膜を形成、パターンニングすることでソース／ドレイン電極59、60を形成する。このとき、信号線も同時に形成する。

【0048】（f）前記Al膜上に低誘電率絶縁膜（第2の層間絶縁膜）61を形成する。低誘電率絶縁膜61としては、プラズマCVD法で作成した窒化シリコン膜や、酸化シリコン膜、有機絶縁膜等の低誘電率絶縁膜を用いることができる。そして、低誘電率絶縁膜61にコンタクトホールを形成し、Al薄膜62を形成し、パターンニングすることで画素電極を形成する。

【0049】以上のプロセスにより、透明絶縁基板50上に画素部と駆動回路部とを一体で形成することができる。この後、透明絶縁基板50と、図示しない対向電極が形成された対向基板とを対向し、周囲をエポキシ樹脂からなるシール材で密閉し、内部に液晶組成物を注入、封止することで液晶表示装置を完成することができる（図4参照）。

【0050】なお、p-Si（ポリシリコン）TFTは、a-Si TFTに比べて電子の移動度が二桁程度高いため、TFTサイズを小さくすることが可能であり、周辺駆動回路をも同時に基板上に一体に形成することができる。この周辺回路としては、高速化、低消費電力化を図るためにCMOS構造とすることが望ましい。そのため、前記不純物ドーピング工程は、レジストマスクを用いてP型及びN型不純物ドーピング工程の2回に分けて行っている。

【0051】また、この実施形態のように、画素電極13を金属薄膜で構成された光反射型の画素電極とした場合は、バックライトが不要となるため、バックライトを用いた透過型の構成に比べて、さらに低消費電力での駆動が可能となる。ちなみに、対角5cm、25万画素の液晶パネルについてフレーム周波数60Hzで静止画表示を行ったところ、消費電力を5mWとすることができる。

た

# 【0052】

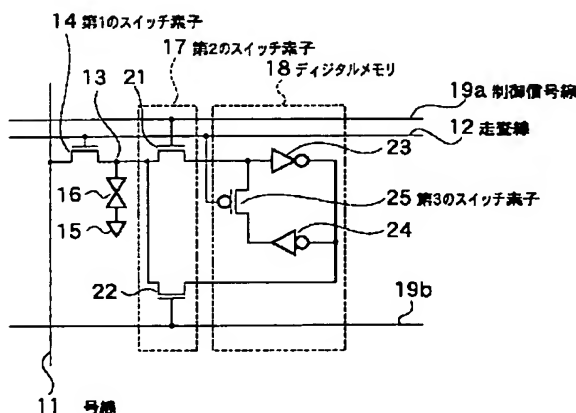
【発明の効果】以上説明したように、請求項1乃至請求項7の発明においては、画素電極と信号線とを第1のスイッチ素子で接続するとともに、前記画素電極とデジタルメモリとの間を第2のスイッチ素子で接続し、第1の表示期間では、前記第2のスイッチ素子をオフして、前記第1のスイッチ素子をオンすることにより、前記信号線から供給される映像信号で画像表示を行い、また第2の表示期間では、前記第1のスイッチ素子をオフして、前記第2のスイッチ素子をオンすることにより、走査線／信号線駆動回路の動作を止めつつ、前記デジタルメモリに保持された映像信号で画像表示するようにしたので、本発明を携帯電話のディスプレイに適用した場合、通話時（第1の表示期間）には、通常フルカラーによる中間調／動画表示を行うことができ、また待ち受け時（第2の表示期間）には、低消費電力でマルチカラー表示を行うことができる。

【0053】とくに、請求項2の発明においては、前記画素電極を金属薄膜で構成された光反射型の画素電極としたので、バックライトが不要となり、バックライトを用いた透過型の構成に比べて、さらに低消費電力での駆動を行うことができる。

【0054】また、とくに請求項3及び請求項7の発明においては、前記第2のスイッチ素子を、前記デジタルメモリの出力端子及び反転出力端子と前記画素電極との間を接続する2つのスイッチ素子で構成し、第2の表示期間において前記2つのスイッチ素子を交互にオンし、同時に前記対向電極の電位を反転するようにしたので、液晶を交流駆動することができ、液晶に直流成分が長時間印加されることによる劣化を抑えることができる。

【0055】また、とくに請求項4の発明においては、

【図1】



前記デジタルメモリを、2つのインバータ回路と第3のスイッチ素子で構成したので、素子数の削減と周辺回路の簡素化を図ることができる。

【0056】また、とくに請求項5の発明においては、第3のスイッチ素子を、前記第1のスイッチ素子とは逆チャンネルのスイッチ素子とし、前記第3のスイッチ素子のゲートを前記第1のスイッチ素子のゲートと同じ走査線に接続するようにしたので、前記走査線から供給される一つの走査信号によって、前記第1のスイッチ素子と前記第3のスイッチ素子のオン／オフ制御を同時に行うことができる。

# 【図面の簡単な説明】

【図1】図3に示す表示画素の回路構成図。

【図2】図1の概略平面図。

【図3】実施形態に係わるアクティブマトリクス型液晶表示装置の回路構成図。

【図4】図3の概略断面図。

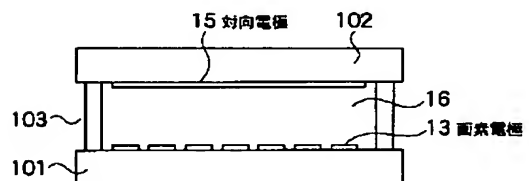
【図5】液晶表示装置の動作を示す信号波形のタイミングチャート。

【図6】液晶表示装置の製造プロセスを示す概略断面図。

# 【符号の説明】

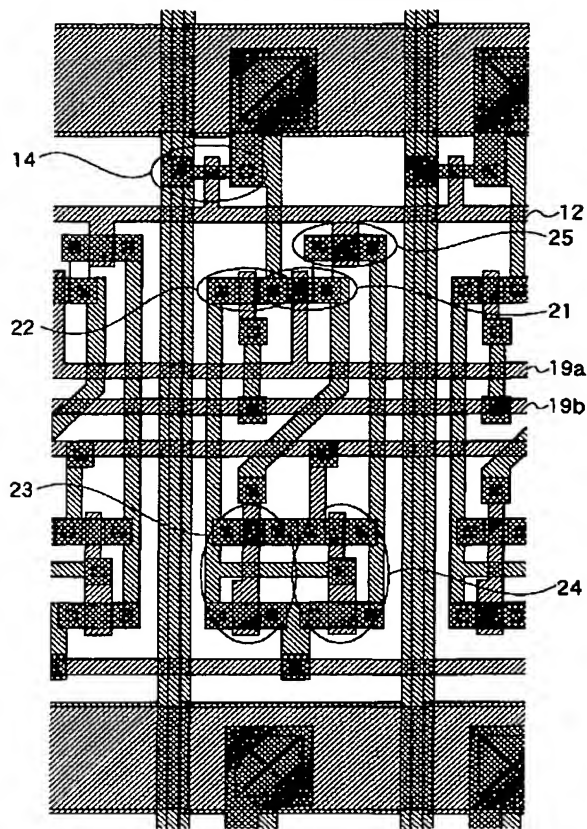
10…表示画素、11…信号線、12…信号線、13…画素電極  
14…第1のスイッチ素子、15…対向電極、17…第2のスイッチ素子  
18…デジタルメモリ、19…制御信号線、21、22…スイッチ素子  
23、24…インバータ回路、25…第3のスイッチ素子  
110…表示画素部、120…走査線駆動回路、130…信号線駆動回路

【図4】

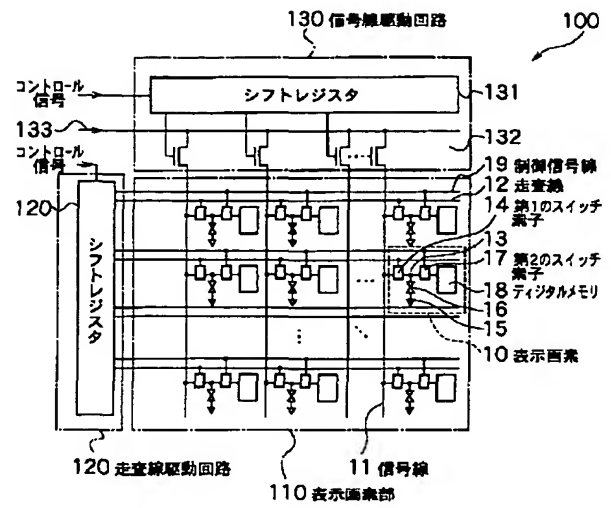




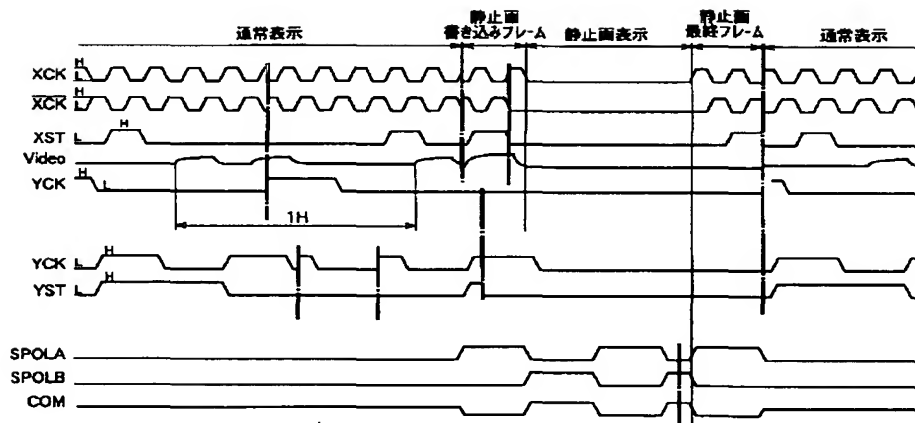
【図2】



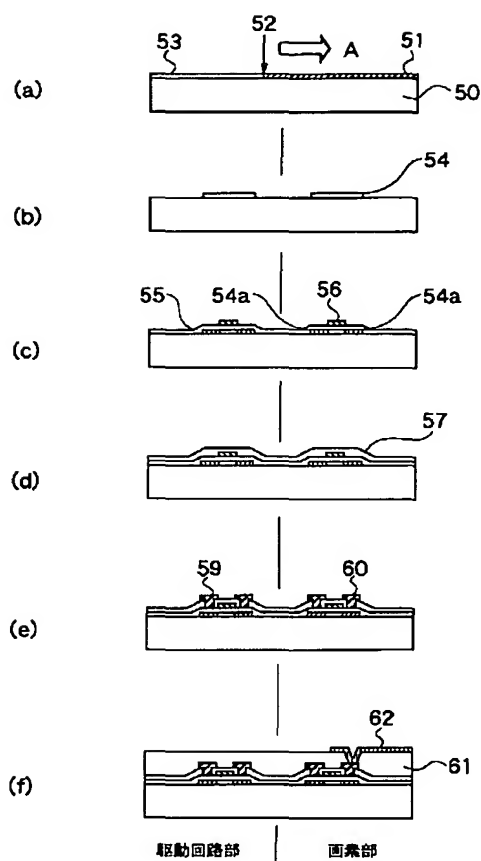
【図3】



【図5】



【図 6】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

G 0 9 G 3/20  
3/36

識別記号  
6 2 4

F I

G 0 9 G 3/36  
G 0 2 F 1/136

テーマコード(参考)

5 0 0

(72)発明者 前田 孝志

埼玉県深谷市幡羅町一丁目 9 番地 2 号 株  
式会社東芝深谷工場内

F ターム(参考) 2H092 GA59 JB22 JB31 KA05 MA08  
MA13 MA17 MA27 MA30 NA01  
NA26 NA27  
2H093 NA15 NA33 NA55 NA61 NC16  
NC23 NC29 NC34 ND17 ND39  
NE07  
5C006 AA21 AA22 AC22 AC25 AC27  
AF61 AF69 BB15 BB16 BB28  
BC03 BC06 FA04 FA47  
5C080 AA10 BB05 CC03 DD21 DD26  
EE19 EE29 EE30 JJ02 JJ04  
JJ06 KK07 KK47  
5C094 AA22 AA44 AA45 BA02 BA03  
BA43 CA19 CA24 DA14 DA15  
EA04 EA07 EB04 ED11 HA10